

【特許請求の範囲】

【請求項 1】 原稿を搬送する搬送手段を有し、該搬送手段により搬送された原稿の画像を読み取り、読み取った画像データを画像記憶手段に一時格納し、該画像記憶手段から画像データを読み出し、必要な画像処理を行った後、画像処理を行った画像データをコントローラ側フレームメモリへ送信し、蓄積する画像処理装置において、

原稿画像の画像データを前記画像記憶手段に一時格納する際はライン毎の格納を制御し、前記画像データを前記画像記憶手段から読み出す際は 1 ラインを n 分割 (n は正の整数) し、 n 分割された各々を新たな 1 ラインとして読み出し、読み出したライン毎に所定の画像処理を施す手段を有することを特徴とする画像処理装置。

【請求項 2】 原稿を搬送する搬送手段を有し、該搬送手段により搬送された原稿の画像を読み取り、読み取られた画像データを画像記憶手段に一時格納し、該画像記憶手段から画像データを読み出し、必要な画像処理及び複数のライン毎に画像圧縮を行った後、該画像圧縮データをコントローラ側フレームメモリへ送信し、蓄積する画像処理装置において、

原稿画像の画像データを前記画像記憶手段に一時格納する際は、ライン毎の格納を制御し、前記画像データを前記画像記憶手段から読み出す際に、画像圧縮単位の m ライン (m は正の整数) をライン 1、ライン 2、・・・、ライン m とし、さらに 1 ラインを画素方向に n 分割 (n は正の整数) し、前記ライン 1 の n 分割された各々をライン 11、ライン 12、・・・、ライン 1 n とするときに、前記画像記憶手段からライン 11、ライン 21、・・・、ライン m 1 の順で読み出し、読み出したライン 11～ライン m 1 を画素ブロック 1 とし、該画素ブロック 1 で画像処理及び画像圧縮を行い、前記画像記憶手段からライン 12、ライン 22、・・・、ライン m 2 の順で読み出し、読み出したライン 12～ライン m 2 を画素ブロック 2 とし、該画素ブロック 2 で画像処理及び画像圧縮を行い、以後同様な読み出し順によって、読み出された各画素ブロックに対して画像処理及び画像圧縮を行う手段を具備することを特徴とする画像処理装置。

【請求項 3】 1 ラインを n 分割する際の分割数 n を原稿画像サイズあるいは前記画像記憶手段のメモリ容量等に応じて任意に変更する手段を具備する請求項 1 又は 2 に記載の画像処理装置。

【請求項 4】 原稿を搬送する搬送手段を有し、該搬送手段により搬送された原稿の画像を読み取り、読み取った画像データを画像記憶手段に一時格納し、該画像記憶手段から画像データを読み出し、必要な画像処理を行った後、画像処理を行った画像データをコントローラ側フレームメモリへ送信し、蓄積する画像処理方法において、原稿画像の画像データを前記画像記憶手段に一時格納す

る際はライン毎の格納を制御し、前記画像データを前記画像記憶手段から読み出す際は 1 ラインを n 分割 (n は正の整数) し、 n 分割された各々を新たな 1 ラインとして読み出し、読み出したライン毎に所定の画像処理を施すことを特徴とする画像処理方法。

【請求項 5】 原稿を搬送する搬送手段を有し、該搬送手段により搬送された原稿の画像を読み取り、読み取られた画像データを画像記憶手段に一時格納し、該加増記憶手段から画像データを読み出し、必要な画像処理及び複数のライン毎に画像圧縮を行った後、該画像圧縮データをコントローラ側フレームメモリへ送信し、蓄積する画像処理方法において、

原稿画像の画像データを前記画像記憶手段に一時格納する際は、ライン毎の格納を制御し、前記画像データを前記画像記憶手段から読み出す際に、画像圧縮単位の m ライン (m は正の整数) をライン 1、ライン 2、・・・、ライン m とし、さらに 1 ラインを画素方向に n 分割 (n は正の整数) し、前記ライン 1 の n 分割された各々をライン 11、ライン 12、・・・、ライン 1 n とするときに、前記画像記憶手段からライン 11、ライン 21、・・・、ライン m 1 の順で読み出し、読み出したライン 11～ライン m 1 を画素ブロック 1 とし、該画素ブロック 1 で画像処理及び画像圧縮を行い、前記画像記憶手段からライン 12、ライン 22、・・・、ライン m 2 の順で読み出し、読み出したライン 12～ライン m 2 を画素ブロック 2 とし、該画素ブロック 2 で画像処理及び画像圧縮を行い、以後同様な読み出し順によって、読み出された各画素ブロックに対して画像処理及び画像圧縮を行うことを特徴とする画像処理方法。

【請求項 6】 1 ラインを n 分割する際の分割数 n を原稿画像サイズあるいは前記画像記憶手段のメモリ容量等に応じて任意に変更する請求項 4 又は 5 に記載の画像処理方法。

【請求項 7】 請求項 4～6 のいずれかに記載の画像処理方法を実行するプログラムを格納したコンピュータ読み取り可能な記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は画像処理装置、画像処理方法及び該方法を実行するプログラムを格納したコンピュータ読み取り可能な記憶媒体に関し、詳細にはスキャナにて原稿画像を読み取り処理を行う画像読取装置、あるいはスキャナから画像を読み込んで転写紙に画像を再生する画像処理装置に関する。

【0002】

【従来の技術】 コピーや FAX、プリンタ、スキャナ等の機能を 1 台で実現する複合機 (以下 MFP と略す) の構成に関し、読み取り信号の画像処理、メモリへの画像蓄積、複数機能の並行動作及びそれぞれの画像処理を最適化する従来例として特開平 8-274986 号公報

がある。この従来例は、画像処理の各処理の処理順序及び処理回数を任意に設定でき、入力された画像に対して最適な画像処理を行え、各種の画像処理を1つの画像処理構成で実行できるようにしている。しかし、MFPの各機能について述べられているが、本発明に関するメモリアクセス制御や画像圧縮等に関しては一般的な説明にとどまっている。

【0003】また、デジタル画像処理装置に関するものであって、デジタル画像信号を転写紙に画像として再生する装置、特にスキャナから画像を読み込んで転写紙に画像を再生する装置に関するものについて図面を用いて以下に説明する。

【0004】図16は第1の従来例に係る画像処理装置のシステム構成を示すブロック図である。同図に示す画像処理装置はMFPを例とする。原稿を光学的に読み取る読み取りユニット51は、原稿に対するランプ照射の反射光をミラー及びレンズにより受光素子に集光する。CCD等の受光素子は、センサ・ボード・ユニット（以下SBUと略す）52に搭載され、受光素子において電気信号に変換された画像信号はデジタル信号に変換された後、SBU52から出力される。SBU52から出力される画像信号は圧縮／伸張及びデータインターフェース制御部（以下CDICと略す）53に入力される。機能デバイス及びデータバス間における画像データの伝送はCDIC53が全て制御する。CDIC53は画像データに関し、SBU52、パラレルバス54、画像処理プロセッサ（以下IPPと略す）55の相互間のデータ転送、そして全体制御を司るシステムコントローラ56と画像データに対するプロセスコントローラ57との間の通信を行う。SBU52からの画像信号はCDIC53を経由してIPP55に転送され、IPP55によって光学系及びデジタル信号への量子化に伴う信号劣化、例えばスキャナ系の信号劣化を補正し、再度CDIC53へ出力される。IPP55からCDIC53へ転送されたデータは、CDIC53からパラレルバス54を経由して画像メモリアクセス制御（以下IMACと略す）58に送られる。ここではシステムコントローラ56の制御に基づき画像データとメモリモジュール（以下MEMと略す）59のアクセス制御、外部パソコン（以下PCと略す）60のプリント用データの展開、メモリ有効活用のための画像データの圧縮／伸張を行う。IMAC58へ送られたデータはデータ圧縮後MEM59へ蓄積され、蓄積データを必要に応じて読み出す。読み出しデータは伸張され、本来の画像データに戻されてIMAC58からパラレルバス54経由でCDIC53へ戻される。CDIC53からIPP55への転送後は画質処理及びVDC61でのパルス制御を行い、作像ユニット62において転写紙上に再生画像を形成する。画像データの流れにおいて、パラレルバス54及びCDIC53でのバス制御により、MFPの機能を実現する。

FAX送信機能は読み取り画像データをIPP55にて画像処理を実施し、CDIC53及びパラレルバス54を経由してFAX制御ユニット（以下FCUと略す）63へ転送する。FCU63にて通信網へのデータ変換を行い、公衆回線（以下PNと略す）64へFAXデータとして送信する。FAX受信は、PN64からの回線データをFCU63にて画像データへ変換し、パラレルバス54及びCDIC53を経由してIPP55へ転送される。この場合特別な画質処理は行わず、VDC61においてドット再配置及びパルス制御を行い、作像ユニット62において転写紙上に再生画像を形成する。複数ジョブ、例えばコピー機能、FAX送受信機能、プリンタ出力機能が並行に動作する状況において、読み取りユニット51、作像ユニット62及びパラレルバス54の使用権のジョブへの割り振りをシステムコントローラ56及びプロセスコントローラ57にて制御する。プロセスコントローラ57は画像データの流れを制御し、システムコントローラ56はシステム全体を制御し、各リソースの起動を管理する。MFPの機能選択は操作部（以下Ope. Paneと略す）65にて選択入力し、コピー機能、FAX機能等の処理内容を設定する。システムコントローラ56とプロセスコントローラ57はパラレルバス54、CDIC53及びシリアルバス66を介して相互に通信を行う。CDIC53内においてパラレルバス54とシリアルバス66とのデータインターフェースのためのデータフォーマット変換を行う。

【0005】図17は図16のIPPの構成を示すブロック図である。同図において、読み取り画像は図示していないSBU及びCDICを介してIPPの入力I/F55-1からスキャナ画像処理部55-2へ伝達される。スキャナ画像処理部55-2では、読み取り画像信号の劣化補正が目的で、シェーディング補正、スキャナγ補正、MTF補正等を行う。補正処理ではないが拡大／縮小の変倍処理も行う。読み取り画像データの補正処理終了後、出力I/F55-3を介してCDICへ画像データを転送する。転写紙への出力は図示していないCDIC53からの画像データを入力I/F55-4より受け、画質処理部55-5において面積階調処理を行う。画質処理後のデータは出力I/F55-6を介してVDC61へ出力される。面積階調処理は、濃度変換、ディザ処理、誤差拡散処理等があり、階調情報面の面積近似を主な処理とする。一旦スキャナ画像処理された画像データをメモリに蓄積しておけば、画質処理を変えることによって種々の再生画像を確認することができる。例えば、再生画像の濃度を振ってみたり、ディザマトリクスの線数を変更してみたりすることで、再生画像の雰囲気を変更できる。この時処理を変更する度に画像を読み取りユニットから読み込み直す必要はなく、MEMから格納画像を読み出せば同一データに対し、何度でも異なる処理を実施できる。また、単体スキャナの場

合、スキャナ画像処理と階調処理を併せて実施し、CDICへ出力する。処理内容はプログラブルに変更する。処理の切り替え、処理手順の変更等はコマンド制御部55-7において管理する。

【0006】図18は図16のCDICの構成を示すブロック図である。同図において、画像データ入出力部53-1は図示していないSBU52からの画像データを10 入力し、図示していないIPP55に対してデータを出し力する。画像データ入力制御部53-2では、IPP55でスキャナ画像補正されたデータが入力される。入力データはパラレルバスでの転送効率を高めるためにデータ圧縮部53-3においてデータ圧縮され、パラレルデータI/F53-5を介してパラレルバスへ送出される。パラレルバス54からパラレルデータI/F53-5を介して入力される画像データは、バス転送のために圧縮されており、データ伸張部53-6で伸張される。伸張された画像データは画像データ出力制御部53-7においてIPP55へ転送される。パラレルデータとシリアルデータの変換機能を併せ持つシステムコントローラはパラレルバスにデータを転送し、プロセスコントローラはシリアルバスにデータを転送する。2つのコントローラの通信のためにデータ変換を行う。シリアルデータI/F53-8、53-9はIPP用にも更に1系統持たせ、IPPと共にI/Fする。

【0007】図19は図16のVDCの構成を示すブロック図である。同図において、入力される画像データに対し作像ユニットの特性に応じて、追加の処理を行う。エッジ平滑処理部61-1によるドットの再配置処理、ドット形成のための画像信号のパルス制御をパルス制御部61-2によって行い、画像データは図示していない作像ユニット62を対象として出力される。画像データの変換とは別に、パラレルデータとシリアルデータのフォーマット変換機能をデータ変換部61-3に併せ持ち、VDC単体でもシリアルデータI/F61-4及びパラレルデータI/F61-5を介してシステムコントローラとプロセスコントローラの通信に対応できる。

【0008】図20は図16のIMACの構成を示すブロック図である。同図において、パラレルデータI/F58-1において、パラレルバス54との画像データのインターフェースを管理する。構成的には、図示していないMEM59への画像データの格納/読み出しと、主に外部のPC60から入力されるコードデータの画像データへの展開を制御する。入力されたコードデータはラインバッファ58-2において、ローカル領域でのデータの格納を行う。ラインバッファ58-2に格納されたコードデータは、システムコントローラI/F58-3を介して入力されたシステムコントローラ56からの展開処理命令に基づき、ビデオ制御部58-4において画像データに展開される。展開された画像データもしくはパラレルデータI/F58-1を介して図示していない

パラレルバス54から入力された画像データは、図示していないMEM59に格納される。この場合、データ変換部58-5において格納対象となる画像データを選択し、データ圧縮部58-6においてメモリ使用効率を上げるためにデータ圧縮を行い、メモリアクセス制御部58-8にてMEMのアドレスを管理しながら図示していないMEM59に画像データを格納する。MEM59に格納された画像データの読み出しは、メモリアクセス制御部58-8にて読み出し先アドレスを制御し、読み出された画像データをデータ伸張部58-7にて伸張する。伸張された画像データをパラレルバス54へ転送する場合、パラレルデータI/F58-1を介してデータ転送を行う。

【0009】図21は図16のFCUの構成を示すブロック図である。同図において、FAX送受信部63-1は、画像データを通信形式に変換して外部回線に送信し、また外部からのデータを画像データに戻して外部I/F63-2及びパラレルバス54を介して図示していない作像ユニットにおいて記録出力する。FAX送受信部63-1は、FAX画像処理部63-3、画像メモリ63-4、メモリ制御部63-5、ファクシミリ制御部63-6、画像圧縮伸張部63-7、モデム63-8及び網制御部63-9を含んで構成している。この内、FAX画像処理部63-3に関し、受信画像に対する二値スムージング処理は図19のVCU61のエッジ平滑処理部61-1において行う。また、画像メモリ63-4に関しても、出力バッファ機能に関してはIMAC及びMEMにその機能の一部を移行する。このように構成されたFAX送受信部63-1では、画像情報の伝送を開始するとき、ファクシミリ制御部63-6がメモリ制御部63-5に指令し、画像メモリ63-4から蓄積している画像情報を順次読み出させる。読み出された画像情報は、FAX画像処理部63-3によって元の信号に復元されるとともに、密度変換処理及び変倍処理が施され、ファクシミリ制御部63-6に加えられる。ファクシミリ制御部63-6に加えられた画像信号は、画像圧縮伸張部63-7によって符号圧縮され、モデム63-8によって変調された後、網制御部63-9を介して宛先へと送出される。そして、送信が完了した画像情報は、画像メモリ63-4から削除される。受信時には、受信画像は一旦画像メモリ63-4に蓄積され、その時に受信画像を記録出力可能であれば、1枚分の画像の受信を完了した時点で記録出力される。また、複写動作時に発呼されて受信を開始したときは、画像メモリ63-4の使用率が所定値、例えば80%に達するまでは画像メモリ63-4に蓄積し、画像メモリ63-4の使用率が80%に達した場合には、その時に実行している書き込み動作を強制的に中断し、受信画像を画像メモリ63-4から読み出し記録出力させる。このとき画像メモリ63-4から読み出した受信画像は画像メモリ63-4

から削除し、画像メモリ 63-4 の使用率が所定値、例えば 10% まで低下した時点で中断していた書き込み動作を再開させ、その書き込み動作を全て終了した時点で、残りの受信画像を記録出力させている。また、書き込み動作を中断した後、再開できるように中断時における書き込み動作のための各種パラメータを内部的に回避させ、再開時にパラメータを内部的に復帰させる。

【0010】ここで、スキャナーから原稿画像データを読み込んでこれらのデータを一時画像記憶手段に格納し、しかる後に読み出し、画像処理を行った後コントローラ側フレームメモリに送信する画像処理装置について以下に説明する。

【0011】図 22 は第 2 の従来例に係る画像処理装置の構成を示すブロック図である。同図において、図 16 と同じ参照符号は同じ構成要素を示す。同図に示す画像処理装置は、CDIC 及び IPP を表面と裏面の両面対応用としての表面読み取りユニット 71、SBU 72、裏面読み取りユニット 73、SBU 74、更に画像一時記憶手段 75 を設けている。原稿の表面と裏面の各画像データが SBU 72 と SBU 74 から CDIC 53 に入力されると、一旦画像一時記憶手段 75 に格納される。その後、まず原稿表面の画像が画像一時記憶手段 75 より読み出され、IPP 55 でスキャナー画像処理を行った後、パラレルバス 54、IMAC 58 を介して、フレームメモリあるいはフレームメモリを介して図示していない HDD に格納される。この表面の画像が CDIC 53 より送信された後に、今度は原稿裏面の画像データが画像一時記憶手段 75 より読み出され、IPP 55、パラレルバス 54、IMAC 58 を介して、フレームメモリあるいはフレームメモリを介して図示していない HDD に格納されることになる。

【0012】図 23 は、図 22 の CDIC の構成を示すブロック図である。同図において、図 18 の CDIC と異なる構成として、原稿の表面と裏面の画像データが連続して同時に入力される場合に、これらを時分割で画像一時記憶手段 75 に書き込む出力制御部と書込みの最中でも、表面か裏面かのいずれかの画像データを読み出すことができる入力制御部を搭載している。

【0013】次に、図 18 又は図 23 の CDIC 内のデータ圧縮部 53-3 の動作について説明すると、画像圧縮領域としては、図 24 に示すように主走査(画素)方向に 4 画素、副走査(ライン)方向に 4 ラインからなる 4 画素×4 ラインの矩形領域の画素を逐次読み込み、圧縮処理を行っている。ここでは圧縮される領域は、4×4 の 16 画素毎としているが、例えば動画画像圧縮標準の MPEG 方式で採用されている DCT (離散コサイン変換) では、8×8 画素としており、圧縮対象領域サイズ、圧縮方法等は、アプリケーションにより異なる。ここでは、図 24 に示す 4 画素×4 ラインの矩形領域に対し圧縮処理を行う場合について説明する。

【0014】ライン FI/FO とデータ圧縮部の構成を図 25 に、ラインデータ取り込みタイミングを図 26 に示す。図 25 に示す構成の動作を図 26 に示すタイミングに従って説明すると、まずライン 1 データをライン FI/FO_1 に、ライン 2 データをライン FI/FO_2 に、ライン 3 データをライン FI/FO_3 にライトし、次のライン 4 データの読み込み時にこのライン 4 データとライン FI/FO_1 からリードされたライン 1 データと、ライン FI/FO_2 からリードされたライン 2 データと、ライン FI/FO_3 よりリードされたライン 3 データをデータ圧縮部に入力し、圧縮データを得るように制御する。次のライン 5 データはライン FI/FO_1 に、ライン 6 データはライン FI/FO_2 に、ライン 7 データはライン FI/FO_3 にライトし、次のライン 8 データ読み込み時に、このライン 8 データとライン FI/FO_1 からリードされたライン 5 データと、ライン FI/FO_2 からリードされたライン 6 データと、ライン FI/FO_3 からリードされたライン 7 データをデータ圧縮部に入力する。以後、以上の操作を繰り返すことにより、次々と入力される画像ラインデータの圧縮データを得ることができる。ここで、ライン FI/FO に入力されるラインデータは、1 画素 8 ビットで、1 ラインの画素数は 600 dpi で読み込まれる場合、A3 サイズまでのコピーがとれる複写機では主走査画素数は、A4 サイズ長手方向で約 8k (1k = 1024) あるため、1 ラインの画像データ格納用には、8 ビット×8k ワードのライン FI/FO が必要になり、回路的にかなり大きい。ここで、A3 サイズよりも大きな原稿、例えば A2 や A1、さらに A0 のサイズのコピーがとれる複写機の場合、1 ラインの画像データ格納用の FI/FO の容量は、A3 サイズを含め、次のようになる。

【0015】A3 サイズコピー機の場合のライン FI/FO 容量：8 ビット×8k ワード=64k ビット

A2 サイズコピー機の場合のライン FI/FO 容量：8 ビット×10k ワード=80k ビット

A1 サイズコピー機の場合のライン FI/FO 容量：8 ビット×16k ワード=128k ビット

A0 サイズコピー機の場合のライン FI/FO 容量：8 ビット×20k ワード=160k ビット

【0016】図 25 のデータ圧縮部の場合は、ライン FI/FO は 3 本を使用していたが、その他の画像処理としてディジタルフィルタや変倍機能、あるいはパラレルバスにおける送信機能を実現する際に 20 本近くのライン FI/FO を必要とすることを考えると、トータルの FI/FO メモリ容量もかなり大きくなる。

【0017】次に、図 22 のスキャナーデータを格納する画像一時記憶手段 75 とのアクセス制御について以下に説明する。図 27 はスキャナーデータを画像一時記憶手段にライン 1 から順に書き込む場合の様子を示す図で

ある。1ラインのアドレス増加分をオフセットアドレス（OFA）とし、原稿画像データの書き込み開始アドレスをベースアドレス（BA）とすると、各ライン毎の書き込み開始時のベースアドレスは、図中に示すように、ライン1がBA1、ライン2がBA2というように表される。また、図28は、画像メモリから原稿画像データを読み出す場合の様子を示している。図中に示すようにメモリアクセス時のアドレスは、図27に示すメモリ書き込みの場合と同様となる。

【0018】

【発明が解決しようとする課題】上記説明した従来例によれば、複写機での主走査画素数が多くなれば1ラインの画像データ格納用としてラインFI/FOが多くなり、回路的にかなり大きくなる。ましてや読み取る原稿のサイズが大きくなれば更に大きくなる。

【0019】本発明はこれらの問題点を解決するためのものであり、広幅コピー機と呼ばれるA2、A1、A0サイズの複写機においてもCDIC等の画像データ制御ASICに搭載されるラインFI/FOの容量を増やさずに済む、言い換えれば広幅コピー機の各サイズ毎に、それぞれの主走査画素数のFI/FO長を持つ画像データ制御ASICを開発せずに済む、画像処理装置、画像処理方法及び該方法を実行するプログラムを格納したコンピュータ読み取り可能な記憶媒体を提供することを目的とする。

【0020】

【課題を解決するための手段】前記問題点を解決するために、原稿を搬送する搬送手段を有し、搬送手段により搬送された原稿の画像を読み取り、読み取った画像データを画像記憶手段に一時格納し、画像記憶手段から画像データを読み出し、必要な画像処理を行った後、これらの画像データをコントローラ側フレームメモリへ送信し、蓄積する画像処理装置によれば、原稿画像の画像データを画像記憶手段に一時格納する際はライン毎の格納を制御し、画像データを画像記憶手段から読み出す際は1ラインをn分割（nは正の整数）し、n分割された各々を新たな1ラインとして読み出し、読み出したライン毎に所定の画像処理を施す手段を有することに特徴がある。よって、広幅コピー機と呼ばれる複写機においてもCDIC等の画像データ制御ASICに搭載されるラインFI/FOの容量を増やさずに済む、例えばサイズであるA3サイズ複写機では1ラインのラインFI/FO容量として8ビット×8kワードが必要であるが、本発明ではFI/FO容量を低減でき、更には画像データ制御ASICのチップ単価の低減化を実現できる。

【0021】また、別の発明として、原稿を搬送する搬送手段を有し、搬送手段により搬送された原稿の画像を読み取り、読み取られた画像データを画像記憶手段に一時格納し、画像記憶手段から画像データを読み出し、必要な画像処理及び複数のライン毎に画像圧縮を行った

後、これらの画像圧縮データをコントローラ側フレームメモリへ送信し、蓄積する画像処理装置によれば、原稿画像の画像データを画像記憶手段に一時格納する際は、ライン毎の格納を制御し、画像データを画像記憶手段から読み出す際に、画像圧縮単位のmライン（mは正の整数）をライン1、ライン2、・・・、ラインmとし、さらに1ラインを画素方向にn分割（nは正の整数）し、ライン1のn分割された各々をライン11、ライン12、・・・、ライン1nとするとときに、画像記憶手段からライン11、ライン21、・・・、ラインm1の順で読み出し、読み出したライン11～ラインm1を画素ブロック1とし、画素ブロック1で画像処理及び画像圧縮を行い、画像記憶手段からライン12、ライン22、・・・、ラインm2の順で読み出し、読み出したライン12～ラインm2を画素ブロック2とし、画素ブロック2で画像処理及び画像圧縮を行い、以後同様な読み出し順によって、読み出された各画素ブロックに対して画像処理及び画像圧縮を行う手段を具備することに特徴がある。よって、CDIC等の画像データ制御ASIC内で、mライン毎に圧縮をかける場合においても、画像データ制御ASICに搭載するラインFI/FOの容量を増やさずに済む、言い換えれば広幅コピー機の各サイズ毎に、それぞれの主走査画素数のFI/FO長を持つ画像データ制御ASICを開発せずに済む。

【0022】更に、1ラインをn分割する際の分割数nを原稿画像サイズあるいは画像記憶手段のメモリ容量等に応じて任意に変更する手段を具備することにより、各コピーサイズの複写機毎に、CDIC等の画像データ制御ASICを開発せずに済むようにし、開発費あるいは開発期間の低減化を実現できる。

【0023】また、別の発明である画像処理方法は、原稿画像の画像データを画像記憶手段に一時格納する際はライン毎の格納を制御し、画像データを画像記憶手段から読み出す際は1ラインをn分割（nは正の整数）し、n分割された各々を新たな1ラインとして読み出し、読み出したライン毎に所定の画像処理を施す。

【0024】更に、別の画像処理方法は、原稿画像の画像データを画像記憶手段に一時格納する際は、ライン毎の格納を制御し、画像データを画像記憶手段から読み出す際に、画像圧縮単位のmライン（mは正の整数）をライン1、ライン2、・・・、ラインmとし、さらに1ラインを画素方向にn分割（nは正の整数）し、ライン1のn分割された各々をライン11、ライン12、・・・、ライン1nとするとときに、画像記憶手段からライン11、ライン21、・・・、ラインm1の順で読み出し、読み出したライン11～ラインm1を画素ブロック1とし、画素ブロック1で画像処理及び画像圧縮を行い、画像記憶手段からライン12、ライン22、・・・、ラインm2の順で読み出し、読み出したライン12～ラインm2を画素ブロック2とし、画素ブロック2で

画像処理及び画像圧縮を行い、以後同様な読み出し順によって、読み出された各画素ブロックに対して画像処理及び画像圧縮を行う。

【0025】また、別の発明として、上記画像処理方法を実行するプログラムを格納したコンピュータ読み取り可能な記憶媒体に特徴がある。よって、既存のシステムを変えることなく、かつ画像処理システムを構築する装置を汎用的に使用することができる。

【0026】

【発明の実施の形態】本発明の画像処理装置は、原稿画像の画像データを画像記憶手段に一時格納する際はライン毎の格納を制御し、画像データを画像記憶手段から読み出す際は1ラインを n 分割(n は正の整数)し、 n 分割された各々を新たな1ラインとして読み出し、読み出したライン毎に所定の画像処理を施す手段を有する。

【0027】

【実施例】図1及び図2は、本発明の第1の実施例におけるスキャナーデータを画像一時記憶手段からCDICが画像データを読み出す際の様子を示す図である。画像一時記憶手段へのスキャナーデータの書き込みは、前述の図27で示したのと同様で、メモリ上の書き込み開始アドレスを示すベースアドレス(BA)と1ラインのライン長を示すオフセットアドレス(OFA)より、各ラインの開始アドレスBA1、BA2、・・・を計算し、スキャナーデータをメモリ上に格納する。メモリからスキャナーデータを読み出す場合の図1及び図2では、図28に示す従来の読み出し方法に比べて、1ラインを2分割し、読み出しを行う。分割の様子を図1に示し、読み出す場合の順番とラインベースアドレスBAの演算の方法を図2に示す。このように2分割する場合としては、CDIC等の画像データ制御ASICに搭載しているラインFI/FO長よりも原稿画像の主走査画素数が大きく、かつ搭載しているラインFI/FO長の2倍よりも原稿画像の主走査画素数が小さい場合である。図2でメモリから画像データを読み出す際のオフセットアドレスOFA2は、実際の1ラインのオフセットアドレスOFAの約半分のOFA2を使用する。図1及び図2におけるメモリ読出しは、画像データ制御ASICのCDIC内で m ライン毎の画像圧縮を行わない場合の方法である。

【0028】図3及び図4は、本発明の第2の実施例における画像一時記憶手段に格納されているスキャナーデータの読み出し時に、1ラインを3分割して実行する場合の様子を示す図である。画像一時記憶手段へのスキャナーデータの書き込みは、図27に示す従来の方法と同様である。分割の様子を図3に示し、読み出す場合の順番とラインベースアドレスBAの演算の方法を図4に示す。このように3分割する場合としては、CDIC等の画像データ制御ASICに搭載しているラインFI/FO長よりも原稿画像の主走査画素数が大きく、かつ搭載

しているラインFI/FO長の3倍よりも原稿画像の主走査画素数が小さい場合である。図4でメモリから画像データを読み出す際のオフセットアドレスOFA2は、実際の1ラインのオフセットアドレスOFAの約3分の1のOFA2を使用する。図3及び図4におけるメモリ読出しは、画像データ制御ASICのCDIC内で m ライン毎の画像圧縮を行わない場合の方法である。

【0029】図5及び図6は、本発明の第3の実施例における画像一時記憶手段に格納されているスキャナーデータの読み出し時に、1ラインを2分割し、かつ画像データ制御ASICで図26に前述したように4ライン毎の画像圧縮を行う場合のメモリからの画像データ読み出しを示している。画像一時記憶手段へのスキャナーデータの書き込みは、前述の従来の方法を示した図26の場合と同様である。分割の様子を図5に示し、読み出す場合の順番とラインベースアドレスBAの演算の方法を図6に示す。図5中の()内は、画像一時記憶手段からラインデータを読み出す順番を示している。このように2分割する場合としては、CDIC等の画像データ制御ASICに搭載しているラインFI/FO長よりも原稿画像の主走査画素数が大きく、かつ搭載しているラインFI/FO長の2倍よりも原稿画像の主走査画素数が小さい場合である。図5でメモリから画像データを読み出す際のオフセットアドレスOFA2は、実際の1ラインのオフセットアドレスOFAの約半分のOFA2を使用する。

【0030】図7及び図8は、本発明の第4の実施例における画像一時記憶手段に格納されているスキャナーデータの読み出し時に、1ラインを3分割し、かつ画像データ制御ASICで図25に前述したように4ライン毎の画像圧縮を行う場合のメモリからの画像データ読み出しを示している。メモリへのスキャナーデータの書き込みは、前述の従来の方法を示した図27の場合と同様である。分割の様子を図7に示し、読み出す場合の順番とラインベースアドレスBAの演算の方法を図8に示す。図7中の()内は、メモリからラインデータを読み出す順番を示している。このように3分割する場合としては、CDIC等の画像データ制御ASICに搭載しているラインFI/FO長よりも原稿画像の主走査画素数が大きく、かつ搭載しているラインFI/FO長の3倍よりも原稿画像の主走査画素数が小さい場合である。図8でメモリから画像データを読み出す際のオフセットアドレスOFA2は、実際の1ラインのオフセットアドレスOFAの約3分の1のOFA2を使用する。さらに大きな原稿サイズを扱う場合は、分割数を大きくしていくことで対処可能となる。

【0031】図9はメモリアクセス時のアドレス演算回路を示す論理回路図である。新規ベースアドレスレジスタ(以下NewBAと略す)91は、図6あるいは図8中に示した新たなベースアドレスを格納するレジスタ

で、そのロード信号ld_nbaにより、加算器（以下ADDと略す）92で演算されたベースアドレスの値をロードする。マルチプレクサのmux0は、ベースアドレス

（BA）か新たなベースアドレスNewBAのいずれかを選択してマルチプレクサのmux1あるいはマルチプレクサのmux2に出力する。マルチプレクサのmux1は、ADD92の出力か、マルチプレクサのmux0の出力のいずれかを選択して、ラインベースアドレスレジスタ（以下LBAと略す）93に出力する。LBA93は、マルチプレクサのmux1の出力を、そのロード信号ld_lbaにより格納し、マルチプレクサのmux2及びリードアドレスカウンタ（以下CRAと略す）94に出力する。マルチプレクサのmux2は、マルチプレクサのmux0の出力か、LBA93の値のいずれかを選択して、ADD92のA入力に出力する。シフトsft1は、オフセットアドレス（OFA）2を1ビット上位シフトすなわち2倍にしてマルチプレクサのmux3に出力する。シフトsft2は、OFAを2ビット上位シフトすなわち4倍にしてマルチプレクサのmux3に出力する。マルチプレクサのmux3は、OFA2か、OFA2を2倍した値か、OFAか、OFAを4倍した値かのいずれかを選択して、ADD92のB入力に出力する。ADD92は、そのA入力及びB入力の値の加算を行い、NewBA91及びマルチプレクサのmux1に出力する。CRA94は、そのロード信号ld_craにより、LBA93の値をロードし、さらにカウンタインクリメント信号inc_craにより、アドレスのインクリメントを行い、メモリからのリードアドレス（RA）を生成する。

【0032】ここで、実際に一例として図8で示した1ラインを3分割し、かつ画像圧縮を伴う場合のアドレス生成とメモリリードの様子について図10～図14に示す。以下、図8におけるメモリリードの様子と図10～図14でのメモリリードアドレス生成について述べる。

【0033】図8の最初のラインデータを読み出すステップ（1）では、ラインベースアドレスBA1_1はベースアドレスBAとなる。この場合、図10に示すように、先ずベースアドレスBAの値をLBAに格納する。これは、マルチプレクサのmux0はB入力を出力し、マルチプレクサのmux1もB入力を出力し、この値をロード信号ld_lbaによりLBA93に取り込めばよい。次に、このLBA93をCRA94に、そのロード信号ld_craにより取り込む。これで、LBA93の値が、CRA94にセットされたので、メモリリードの進行に応じてCRA94をそのインクリメント信号inc_craにより、カウントアップして、メモリリードアドレスを生成すればよい。

【0034】また、次のラインデータの読出しのステップ（2）で、そのラインベースアドレスBA2_1を生成する際には、図11に示すように、先ずベースアドレスを

格納したLBA93の値とオフセットアドレス（OFA）の値をADD92で加算し、その結果を新たなラインベースアドレスとしてLBA93に格納する。その後、このラインベースアドレスの値をCRA94にロードし、2ライン目のリードの進行に応じてカウントアップすることで、メモリリードアドレスを生成する。図8の3ライン目（ステップ（3））及び4ライン目（ステップ（4））も図11と同様な方法でメモリリードアドレスを生成することができる。

10 【0035】更に、次のステップ（5）のラインLine1_2の読出し時のベースアドレスの演算の様子を図12に示す。先ず、ベースアドレス（BA）とオフセットアドレス（OFA2）の値の加算をADD92で行い、これをLBA93に格納する。次に、この値をCRA94にロードし、メモリリードの進行に合わせて、メモリアドレスのカウントアップを行えばよい。

20 【0036】また、次のステップ（6）～（8）のラインデータLine2_2、Line3_2、Line4_2の読出しのラインベースアドレスの演算は、前述の図11に示す方法で実現できる。

【0037】更に、次のステップ（9）のラインLine1_3の読出し時のベースアドレスの演算の様子を図13に示す。先ず、ベースアドレス（BA）とオフセットアドレス（OFA2）を2倍した値をADD92で加算し、これをLBA93に格納する。次に、この値をCRA94にロードし、メモリリードの進行に合わせて、メモリアドレスのカウントアップを行えばよい。

30 【0038】また、次のステップ（10）～（12）のラインデータLine2_3、Line3_3、Line4_3の読出しのラインベースアドレスの演算は、前述の図11に示す方法で実現できる。

【0039】更に、次のステップ（13）のラインLine5_1の読出し時のベースアドレスの演算の様子を図14に示す。先ず、ベースアドレス（BA）とオフセットアドレス（OFA）を4倍した値を加算器92で加算し、これをLBA93とNewBA91に格納する。次に、この値をLBA93からCRA94にロードし、メモリリードの進行に合わせて、メモリアドレスのカウントアップを行えばよい。以後のベースアドレスの値はBAではなく、新たなベースアドレスを格納するNewBA91の値を使用することで図7に示した、メモリに格納されているスキャナーデータの読み出し時に、1ラインを3分割し、かつ画像データ制御ASICで図26に前述したように4ライン毎の画像圧縮を行う場合のメモリからの画像データ読み出しが実現できることになる。

【0040】なお、ここでは図8の場合のメモリアドレス生成とメモリリードの様子について示したが、他の場合についても同様の方法でアドレス生成及びメモリアクセスを実現できる。

50 【0041】次に、図15は本発明のシステム構成を示

すブロック図である。つまり、同図は上記実施例における画像処理方法によるソフトウェアを実行するマイクロプロセッサ等から構築されるハードウェアを示すものである。同図において、画像処理システムはインターフェース（以下 I/F と略す）101、CPU102、ROM103、RAM104、表示装置105、ハードディスク106、キーボード107及びCD-ROMドライブ108を含んで構成されている。また、汎用の処理装置を用意し、CD-ROM109などの読取可能な記録媒体には、本発明の画像処理方法を実行するプログラムが記録されている。更に、I/F101を介して外部装置から制御信号が入力され、キーボード107によって操作者による指令又は自動的に本発明のプログラムが起動される。そして、CPU102は当該プログラムに従って上述の画像処理処理を施し、その処理結果をRAM104やハードディスク106等の記録装置に格納し、必要により表示装置105などに出力する。以上のように、本発明の画像処理方法を実行するプログラムが記録した媒体を用いることにより、既存のシステムを変えることなく、かつ画像処理システムを構築する装置を汎用的に使用することができる。

【0042】また、本発明は上記実施例に限定されるものではなく、特許請求の範囲内の記載であれば多種の変形や置換可能であることは言うまでもない。

【0043】

【発明の効果】以上説明したように、原稿を搬送する搬送手段を有し、搬送手段により搬送された原稿の画像を読み取り、読み取った画像データを画像記憶手段に一時格納し、画像記憶手段から画像データを読み出し、必要な画像処理を行った後、これらの画像データをコントローラ側フレームメモリへ送信し、蓄積する画像処理装置によれば、原稿画像の画像データを画像記憶手段に一時格納する際はライン毎の格納を制御し、画像データを画像記憶手段から読み出す際は1ラインをn分割（nは正の整数）し、n分割された各々を新たな1ラインとして読み出し、読み出したライン毎に所定の画像処理を施す手段を有することに特徴がある。よって、広幅コピー機と呼ばれる複写機においてもCDIC等の画像データ制御ASICに搭載されるラインFI/FOの容量を増やさずに済む、例えばサイズであるA3サイズ複写機では1ラインのラインFI/FO容量として8ビット×8kワードが必要であるが、本発明ではFI/FO容量を低減でき、更には画像データ制御ASICのチップ単価の低減化を実現できる。

【0044】また、別の発明として、原稿を搬送する搬送手段を有し、搬送手段により搬送された原稿の画像を読み取り、読み取られた画像データを画像記憶手段に一時格納し、画像記憶手段から画像データを読み出し、必要な画像処理及び複数のライン毎に画像圧縮を行った後、これらの画像圧縮データをコントローラ側フレーム

メモリへ送信し、蓄積する画像処理装置によれば、原稿画像の画像データを画像記憶手段に一時格納する際は、ライン毎の格納を制御し、画像データを画像記憶手段から読み出す際は、画像圧縮単位のmライン（mは正の整数）をライン1、ライン2、・・・、ラインmとし、さらに1ラインを画素方向にn分割（nは正の整数）し、ライン1のn分割された各々をライン11、ライン12、・・・、ライン1nとするときに、画像記憶手段からライン11、ライン21、・・・、ラインm1の順で読み出し、読み出したライン11～ラインm1を画素ブロック1とし、画素ブロック1で画像処理及び画像圧縮を行い、画像記憶手段からライン12、ライン22、・・・、ラインm2の順で読み出し、読み出したライン12～ラインm2を画素ブロック2とし、画素ブロック2で画像処理及び画像圧縮を行い、以後同様な読み出し順によって、読み出された各画素ブロックに対して画像処理及び画像圧縮を行う手段を具備することに特徴がある。よって、CDIC等の画像データ制御ASIC内で、mライン毎に圧縮をかける場合においても、画像データ制御ASICに搭載するラインFI/FOの容量を増やさずに済む、言い換えれば広幅コピー機の各サイズ毎に、それぞれの主走査画素数のFI/FO長を持つ画像データ制御ASICを開発せずに済む。

【0045】更に、1ラインをn分割する際の分割数nを原稿画像サイズあるいは画像記憶手段のメモリ容量等に応じて任意に変更する手段を具備することにより、各コピーサイズの複写機毎に、CDIC等の画像データ制御ASICを開発せずに済むようにし、開発費あるいは開発期間の低減化を実現できる。

【0046】また、別の発明である画像処理方法は、原稿画像の画像データを画像記憶手段に一時格納する際はライン毎の格納を制御し、画像データを画像記憶手段から読み出す際は1ラインをn分割（nは正の整数）し、n分割された各々を新たな1ラインとして読み出し、読み出したライン毎に所定の画像処理を施す。

【0047】更に、別の画像処理方法は、原稿画像の画像データを画像記憶手段に一時格納する際は、ライン毎の格納を制御し、画像データを画像記憶手段から読み出す際は、画像圧縮単位のmライン（mは正の整数）をライン1、ライン2、・・・、ラインmとし、さらに1ラインを画素方向にn分割（nは正の整数）し、ライン1のn分割された各々をライン11、ライン12、・・・、ライン1nとするときに、画像記憶手段からライン11、ライン21、・・・、ラインm1の順で読み出し、読み出したライン11～ラインm1を画素ブロック1とし、画素ブロック1で画像処理及び画像圧縮を行い、画像記憶手段からライン12、ライン22、・・・、ラインm2の順で読み出し、読み出したライン12～ラインm2を画素ブロック2とし、画素ブロック2で画像処理及び画像圧縮を行い、以後同様な読み出し順に

10

20

30

40

50

よって、読み出された各画素ブロックに対して画像処理及び画像圧縮を行う。

【0048】また、別の発明として、上記画像処理方法を実行するプログラムを格納したコンピュータ読み取り可能な記憶媒体に特徴がある。よって、既存のシステムを変えることなく、かつ画像処理システムを構築する装置を汎用的に使用することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるスキャナーデータを画像一時記憶手段からCDICが画像データを読み出す際の様子を示す図である。

【図2】本発明の第1の実施例におけるスキャナーデータを画像一時記憶手段からCDICが画像データを読み出す際の様子を示す図である。

【図3】本発明の第2の実施例におけるスキャナーデータを画像一時記憶手段からCDICが画像データを読み出す際の様子を示す図である。

【図4】本発明の第2の実施例におけるスキャナーデータを画像一時記憶手段からCDICが画像データを読み出す際の様子を示す図である。

【図5】本発明の第3の実施例におけるスキャナーデータを画像一時記憶手段からCDICが画像データを読み出す際の様子を示す図である。

【図6】本発明の第3の実施例におけるスキャナーデータを画像一時記憶手段からCDICが画像データを読み出す際の様子を示す図である。

【図7】本発明の第4の実施例におけるスキャナーデータを画像一時記憶手段からCDICが画像データを読み出す際の様子を示す図である。

【図8】本発明の第4の実施例におけるスキャナーデータを画像一時記憶手段からCDICが画像データを読み出す際の様子を示す図である。

【図9】メモリアクセス時のアドレス演算回路を示す論理回路図である。

【図10】図9のアドレス演算回路におけるアドレス生成とメモリリードの様子を示す論理回路図である。

【図11】図9のアドレス演算回路におけるアドレス生成とメモリリードの様子を示す論理回路図である。

10

20

30

*

* 【図12】図9のアドレス演算回路におけるアドレス生成とメモリリードの様子を示す論理回路図である。

【図13】図9のアドレス演算回路におけるアドレス生成とメモリリードの様子を示す論理回路図である。

【図14】図9のアドレス演算回路におけるアドレス生成とメモリリードの様子を示す論理回路図である。

【図15】本発明のシステム構成を示すブロック図である。

【図16】第1の従来例に係る画像処理装置のシステム構成を示すブロック図である。

【図17】図16のIPPの構成を示すブロック図である。

【図18】図16のCDICの構成を示すブロック図である。

【図19】図16のVDCの構成を示すブロック図である。

【図20】図16のIMACの構成を示すブロック図である。

【図21】図16のFCUの構成を示すブロック図である。

【図22】第2の従来例に係る画像処理装置の構成を示すブロック図である。

【図23】図22のCDICの構成を示すブロック図である。

【図24】画像圧縮領域を示す図である。

【図25】ラインFI/FOとデータ圧縮部の構成を示す図である。

【図26】ラインデータ取り込みタイミングを示す図である。

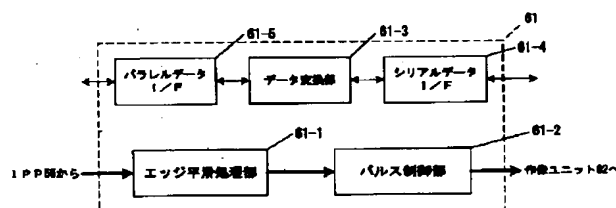
【図27】スキャナーデータを画像一時記憶手段にライン1から順に書き込む場合の様子を示す図である。

【図28】画像メモリから原稿画像データを読み出す場合の様子を示す図である。

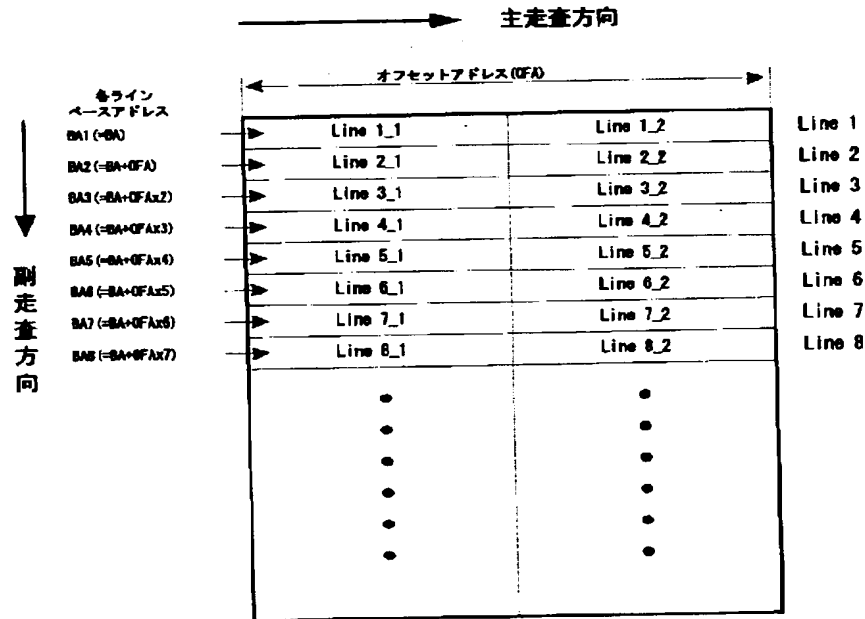
【符号の説明】

91；ベースアドレスレジスタ、92；加算器、93；ラインベースアドレスレジスタ、94；リードアドレスカウンタ。

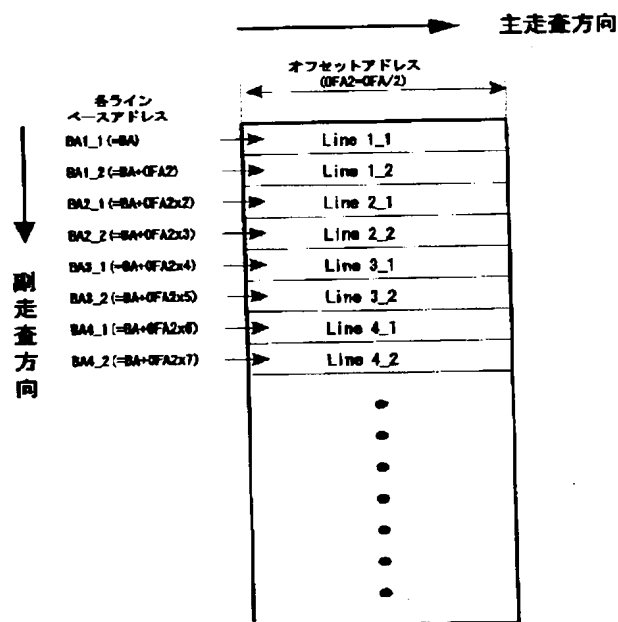
【図19】



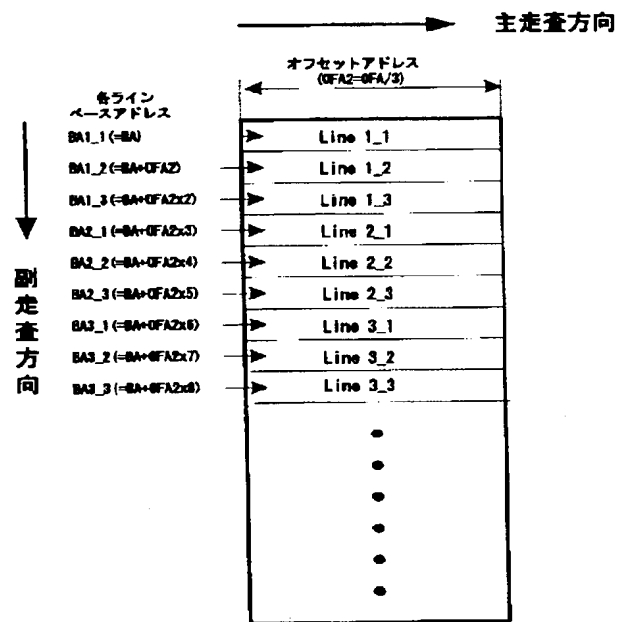
【図1】



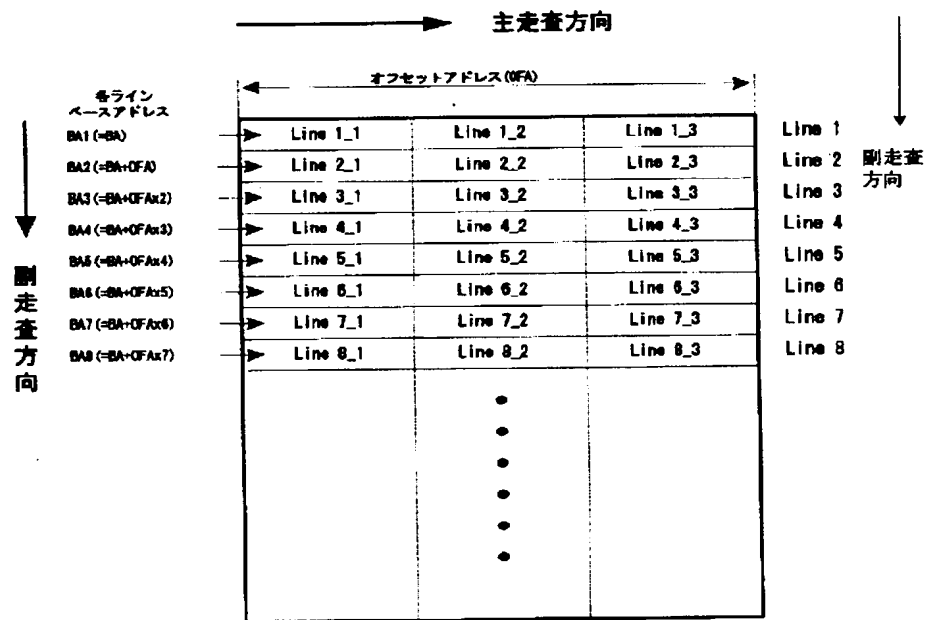
【図2】



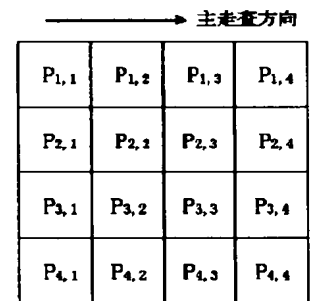
【図4】



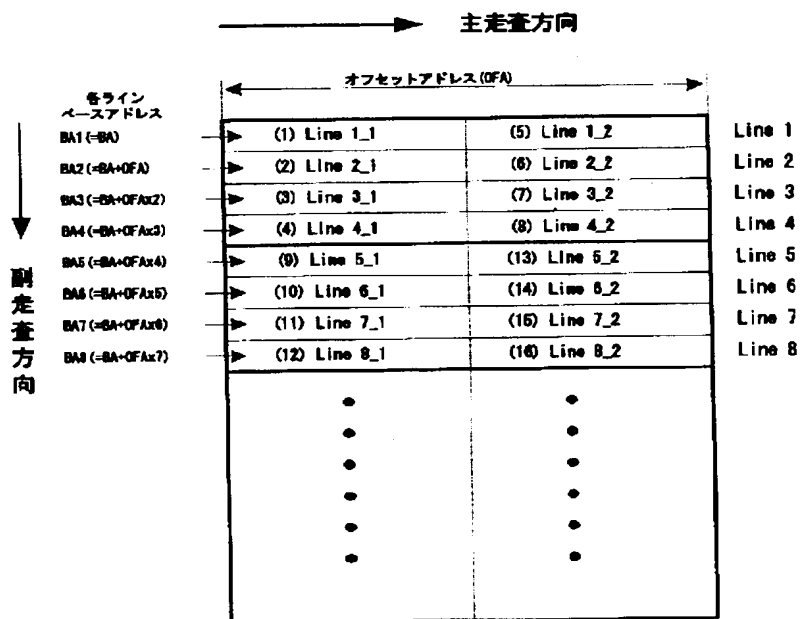
【図3】



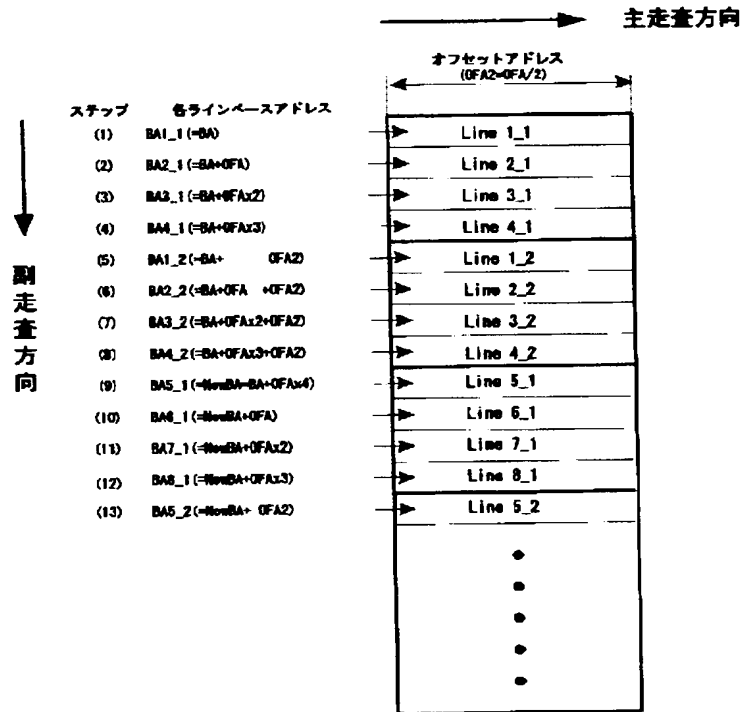
【図24】



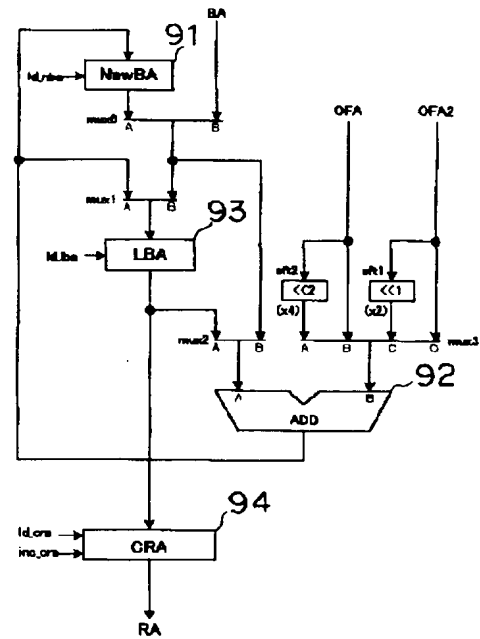
【図5】



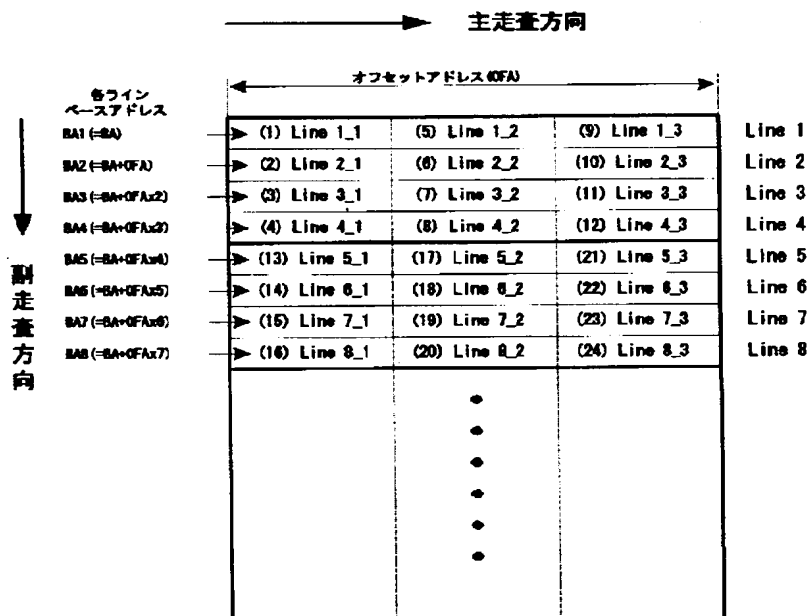
【図6】



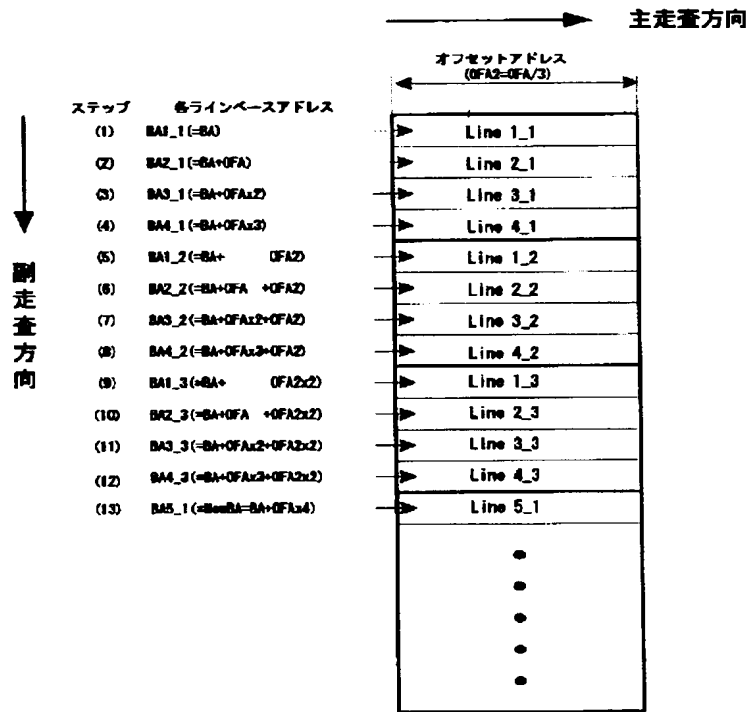
【図9】



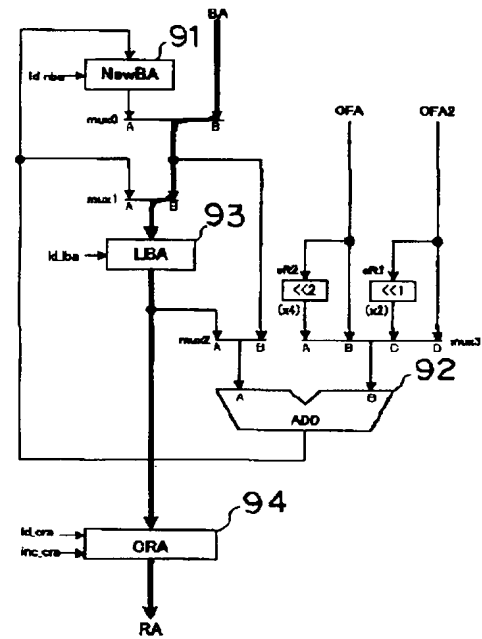
【図7】



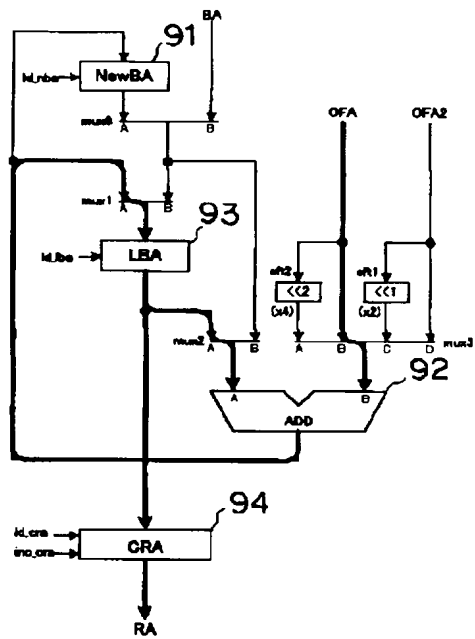
【図8】



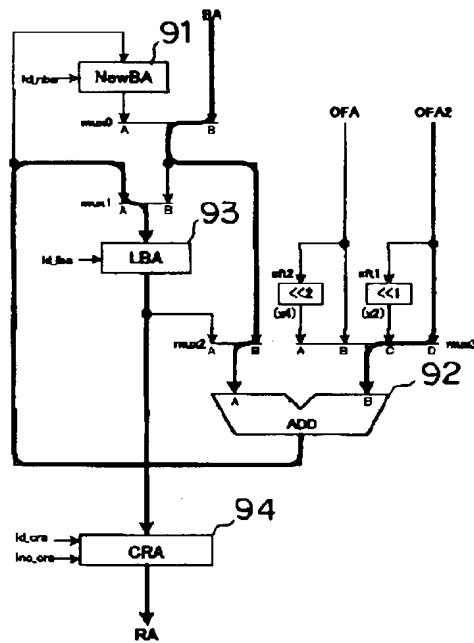
【図10】



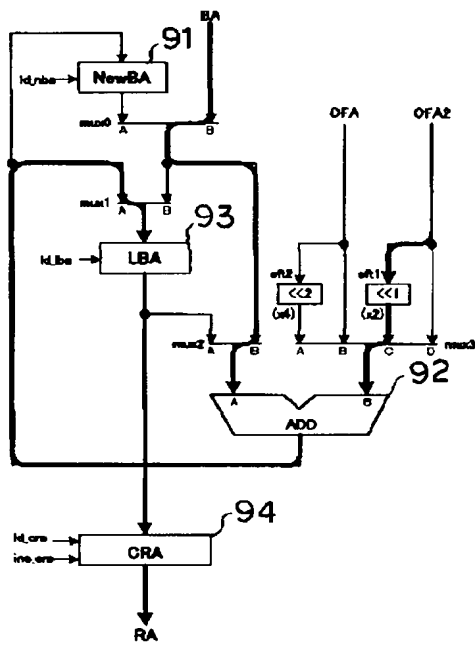
【図11】



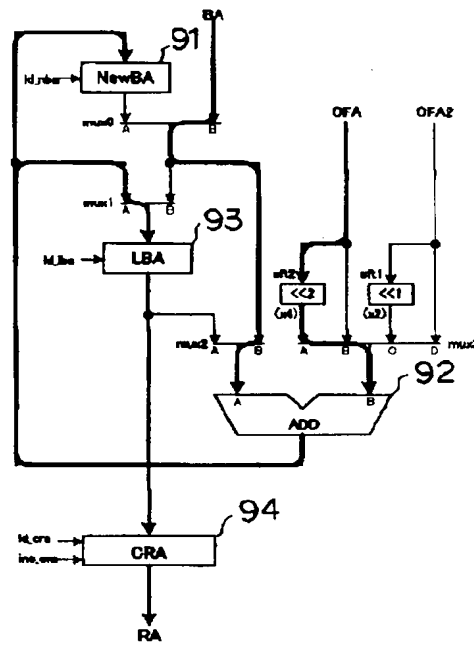
【図12】



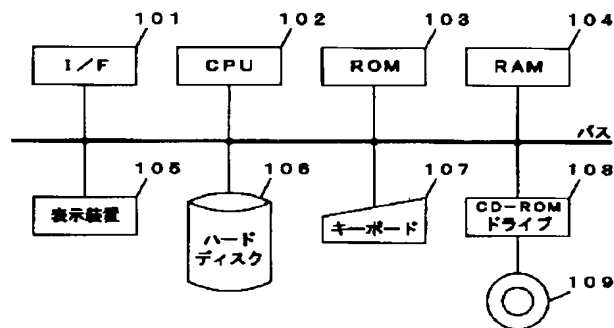
【図13】



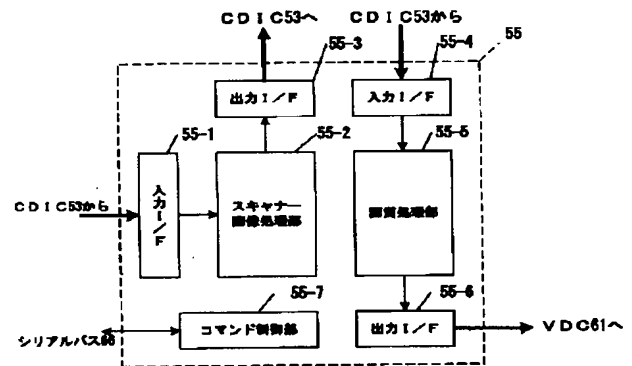
【図14】



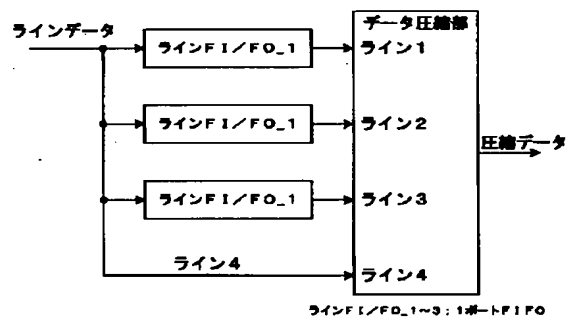
【図15】



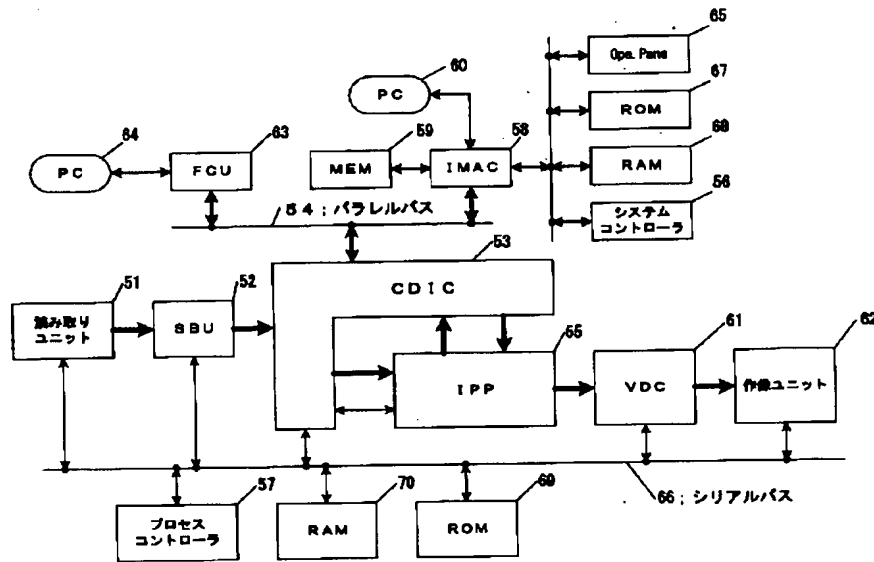
【図17】



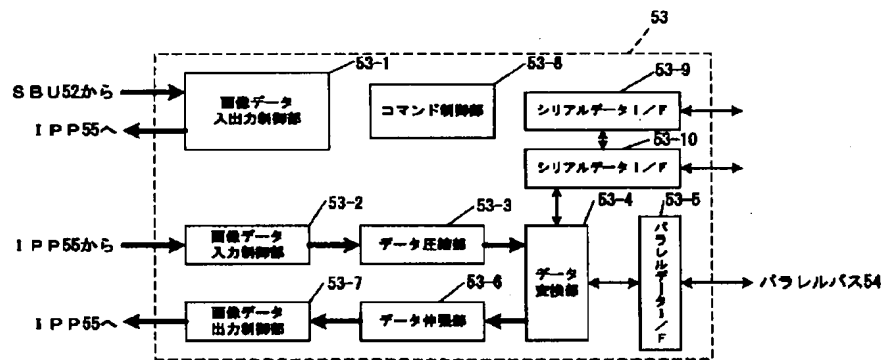
【図25】



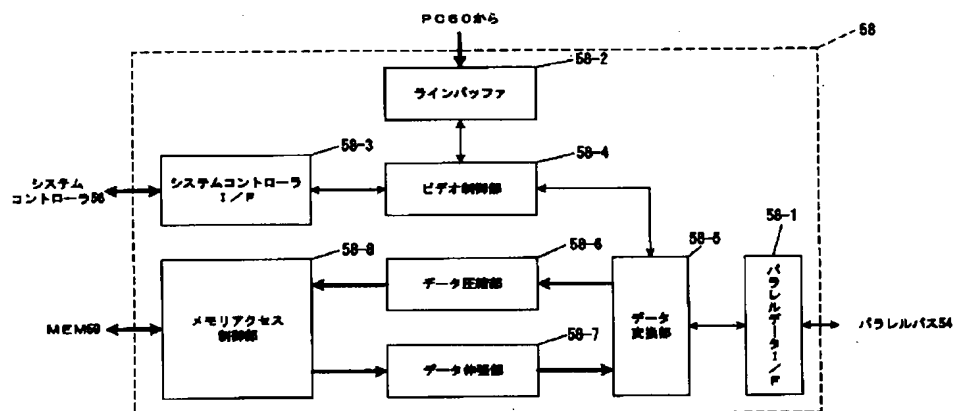
【図16】



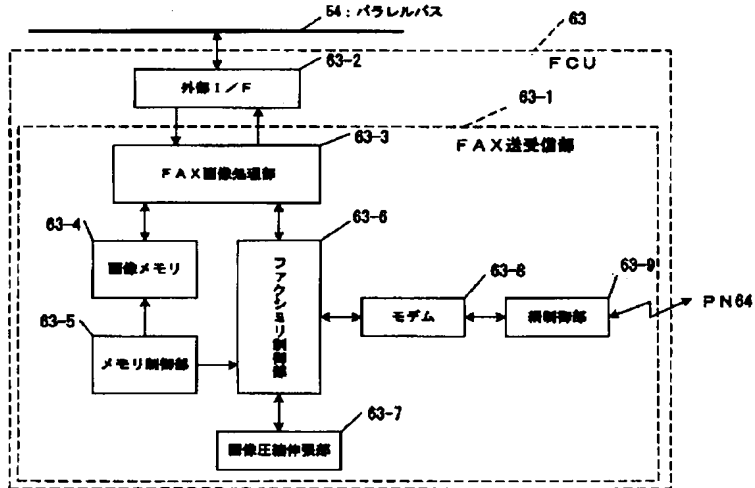
【図18】



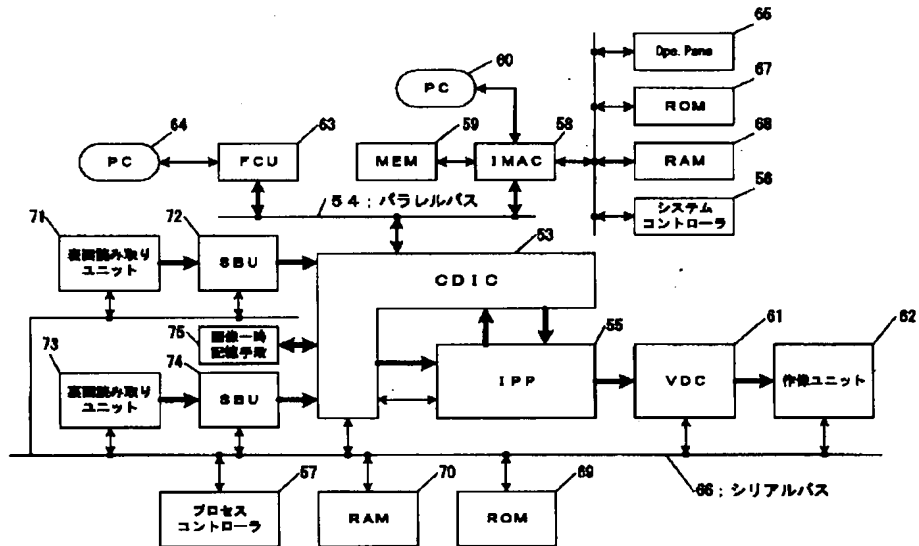
【図20】



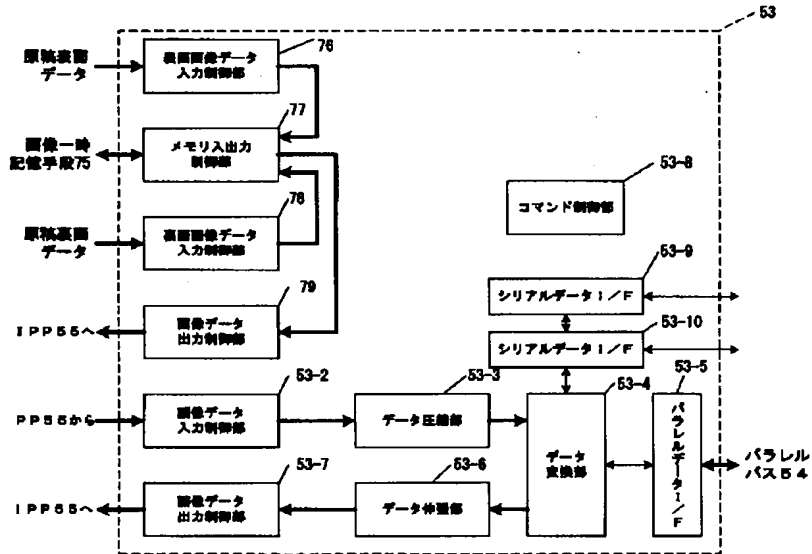
【図 2 1】



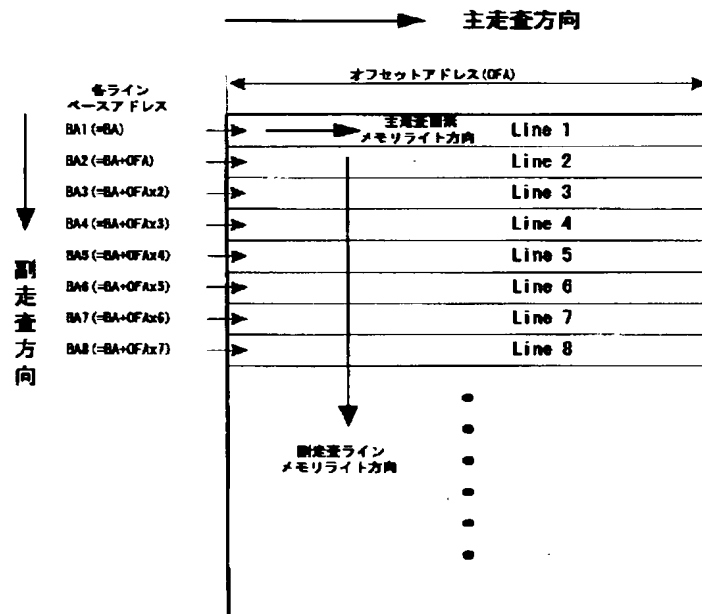
【図 22】



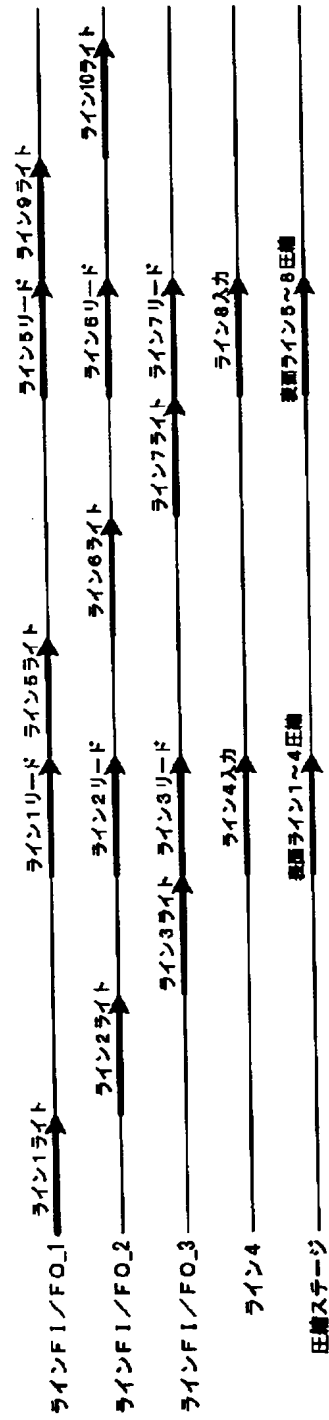
【図23】



【図27】



【図26】



【図28】

